

PAT-NO: JP361296765A

DOCUMENT-IDENTIFIER: JP 61296765 A

TITLE: HOT ELECTRON TRANSISTOR

PUBN-DATE: December 27, 1986

INVENTOR-INFORMATION:

NAME

YOKOYAMA, NAOKI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP60137861

APPL-DATE: June 26, 1985

INT-CL (IPC): H01L029/68, H01L029/20

US-CL-CURRENT: 257/E29.241

ABSTRACT:

PURPOSE: To enable the function of a comparator, for example, using only a hot electron transistor by a method wherein, out of two emitter-base layers for common use, either one is used as the emitter and the other one is operated as the base.

CONSTITUTION: Emitter-base commonly used layers (for example, n-type GaAs emitter-base layers 4 and 6 for common use) are opposingly formed in such a manner that a tunnel-barrier layer (for example, AlGaAs tunnel-barrier layer 5) is pinched. A collector layer (for example, n-type GaAs layers 2 and 8) are opposingly formed in such a manner that said emitter-base commonly used layers,

with which the tunnel-barrier layer is pinched, are pinched through the intermediary of a collector-barrier layer (for example, Al_{0.3}Ga_{0.7}As collector-barrier layers 3 and 7). As a result, the comparator wherein three transistors were required before, for example, can be constituted with only one transistor.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報(A)

昭61-296765

⑬ Int. Cl.⁴H 01 L 29/68
29/20

識別記号

庁内整理番号

8526-5F
8526-5F

⑭ 公開 昭和61年(1986)12月27日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 ホット・エレクトロン・トランジスタ

⑯ 特 願 昭60-137861

⑰ 出 願 昭60(1985)6月26日

⑱ 発 明 者 横 山 直 樹 川崎市中原区上小田中1015番地 富士通株式会社内
⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
⑳ 代 理 人 弁 理 士 柏 谷 昭 司 外1名

明 細 書

1 発明の名称

ホット・エレクトロン・トランジスタ

2 特許請求の範囲

トンネル・バリア層を挟むように対向して形成されたエミッタ・ベース共用層と、

前記トンネル・バリア層を挟むそれ等エミッタ・ベース共用層をコレクタ・バリア層を介して挟むように対向して形成されたコレクタ層とを備えてなることを特徴とするホット・エレクトロン・トランジスタ。

3 発明の詳細な説明

(概要)

本発明は、薄層の半導体層を積層して縦方向に電流を流す形式の高速半導体装置の一種であるホット・エレクトロン・トランジスタに於いて、トンネル・バリア層を挟むようにエミッタ・ベース共用層を対向して形成し、前記トンネル・バリア層を挟むそれ等エミッタ・ベース共用層をコレクタ・バリア層を介して挟むようにコレクタ層を対

向して形成することに依り、1個のホット・エレクトロン・トランジスタでありながら例えばコンパレータとしての作用をすることができるようにしたものである。

(産業上の利用分野)

本発明は、例えばコンパレータなどの論理回路を構成するのに好適なホット・エレクトロン・トランジスタ(hot electron transistor: HET)に関する。

(従来の技術)

近年、例えばヘテロ接合バイポーラ・トランジスタ(heterojunction bipolar transistor: HBT)或いはHETなど薄層の半導体層を積層して縦方向に電流を流す高速半導体装置の開発及び研究が盛んである。

これ等の高速半導体装置を例えばコンピュータやその他のデジタル処理装置などに適用した場合には、それ自体が高速であるのもさることながら、高電子移動度トランジスタ(high el

electron mobility transistor: HEMT) などとは異なり、電流駆動能力が大、即ち、伝達コンダクタンス g_m が大きい為、負荷容量を充放電する時間が短く、その結果、電子装置全体を高速化することが可能となるものである。

ところで、前記高速半導体装置のうち、HEMTは、エミッタ、ベース、コレクタなどを有しているが、所謂、バイポーラ・トランジスタではなく、それ等の全てがn型(若しくはp型)半導体層で構成されている。

(発明が解決しようとする問題点)

前記HEMTのように、エミッタなどの各要素が同導電型の半導体層で構成されていると、従来は不可能であった動作をすることが可能な半導体装置を得ることができる。

例えば、従来、コンパレータは1段につき最低3個のトランジスタを必要とし、その配線なども考慮すると、その占有面積はかなり大きなものとなっている。若し、その構成素子数を低減して且

つ同じ作用をさせることができれば、半導体装置の高密度化或いは高集積化の面で好ましいことは云うまでもない。

本発明は、僅か1個で例えばコンパレータの如き動作を高速で実行することが可能なHEMTを提供しようとする。

(問題点を解決するための手段)

本発明一実施例を解説する為の図である第1図を借りて説明する。

本発明のホット・エレクトロン・トランジスタでは、トンネル・バリア層(例えばAlGaAsトンネル・バリア層5)を挟むようにエミッタ・ベース共用層(例えばn型GaAsエミッタ・ベース共用層4と6)を対向して形成し、前記トンネル・バリアを挟むそれ等エミッタ・ベース共用層をコレクタ・バリア層(例えばAl_{0.3}Ga_{0.7}Asコレクタ・バリア層3と7)を介して挟むようにコレクタ層(例えばn型GaAs層2と8)を対向して形成するようにしている。

(作用)

前記手段を採ることに依り、二つあるエミッタ・ベース共用層のうち、或る時には、何れか一方をエミッタとし、且つ、他方をベースとして動作させ、そして、或る時には、前記一方をベースとし、且つ、前記他方をエミッタとして動作させることに依り、僅か1個のホット・エレクトロン・トランジスタで例えばコンパレータの作用をさせることができる。

(実施例)

第1図は本発明一実施例の要部切断側面図を表している。

図に於いて、1は半絶縁性GaAs基板、2はn型GaAsコレクタ層、3はAl_{0.3}Ga_{0.7}Asコレクタ・バリア層、4はn型GaAsエミッタ・ベース共用層、5はAlGaAsトンネル・バリア層、6はn型GaAsエミッタ・ベース共用層、7はAl_{0.3}Ga_{0.7}Asコレクタ・バリア層、8はn型GaAsコレクタ層、9はコレクタ電極、10はエミッタ・ベース共用電極、1

1はエミッタ・ベース共用電極、1・2はコレクタ電極をそれぞれ示している。尚、本発明に依るホット・エレクトロン・トランジスタで集積回路を構成し得ることは云うまでもない。

次に第1図に見られる実施例を製造する場合の概略を説明する。

第2図は半絶縁性GaAs基板1上に各半導体層を成長させた状態を表す要部切断側面図であり、以下、第2図及び第1図を参照しつつ説明する。

第2図参照

(a) 分子線エピタキシャル成長(molecular beam epitaxy: MBE)法を適用することに依り、温度を600(℃)とした状態で、基板1上にコレクタ層2、コレクタ・バリア層3、エミッタ・ベース共用層4、トンネル・バリア層5、エミッタ・ベース共用層6、コレクタ・バリア層7、コレクタ層8を順に成長させる。

この場合に於ける各半導体層のデータは次の通りである。

- (1) コレクタ層 2
不純物濃度: $5 \times 10^{17} \text{ (cm}^{-3}\text{)}$
厚さ: 1000 (Å)
- (2) コレクタ・バリヤ層 3
不純物濃度: ノン・ドーブ
厚さ: 1500 (Å)
- (3) エミッタ・ベース共用層 4
不純物濃度: $5 \times 10^{17} \text{ (cm}^{-3}\text{)}$
厚さ: 500 (Å)
- (4) トンネル・バリヤ層 5
不純物濃度: ノン・ドーブ
厚さ: 500 (Å)
- (5) エミッタ・ベース共用層 6
不純物濃度: $5 \times 10^{17} \text{ (cm}^{-3}\text{)}$
厚さ: 500 (Å)
- (6) コレクタ・バリヤ層 7
不純物濃度: ノン・ドーブ
厚さ: 1500 (Å)
- (7) コレクタ層 8
不純物濃度: ノン・ドーブ

厚さ: 1000 (Å)

第1図参照

- (b) 通常のフォトリソグラフィ技術に於けるレジスト・プロセスとウエット・エッチング法或いはドライ・エッチング法を適用することに依り、階段状のメサ・エッチングを行ってコレクタ層2の一部表面、エミッタ・ベース共用層4の一部表面、エミッタ・ベース共用層6の一部表面をそれぞれ露出させる。

この場合、AlGaAsに対してはフッ酸系エッチング液を用いたウエット・エッチング法を、また、GaAsに対しては $\text{CCl}_2\text{F}_2 + \text{He}$ ガスを反応ガスとして用いたドライ・エッチング法をそれぞれ適用すると良い。

- (c) 通常のフォトリソグラフィ技術及びリフト・オフ法を適用することに依り、コレクタ電極9、エミッタ・ベース共用電極10及び11、コレクタ電極12を形成して完成する。

尚、前記各電極の材料及び厚さとして、AuGe・Au/WSi: 200 (Å)・1000

(Å) / 3000 (Å) を採用することができる。

第3図は前記のようにして作成したホット・エレクトロン・トランジスタの熱平衡状態に於けるエネルギー・バンド・ダイアグラムを表していて、第1図及び第2図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、 E_F はフェルミ・レベル、 E_C はコンダクション・バンドの底、 E_V はバレンス・バンドの頂をそれぞれ示している。

次に第4図乃至第6図を参照しつつ本発明一実施例の動作について説明する。

第4図乃至第6図に於いて、(A) は何れも模式的なエネルギー・バンド・ダイアグラムを、そして、(B) は何れも本発明のホット・エレクトロン・トランジスタに関し本発明者が提案する等価回路図をそれぞれ表し、第1図乃至第3図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

第4図 (A) 及び (B) 参照

この図は、エミッタ・ベース共用層4及び6に負の同電位の信号が入力された場合を表し、この状態では、コレクタ層2及び8の何れにも電流は流れ込まず、コレクタ電極9及び12に出力が現れることはない。

第5図 (A) 及び (B) 参照

この図は、エミッタ・ベース共用層4及び6に「 $4 < 6 < 0$ 」の状態で信号が入力された場合を表し、この状態では、エミッタ・ベース共用層4がエミッタ、エミッタ・ベース共用層6がベースの役割を果たし、矢印で指示してあるように、エミッタ・ベース共用層4からエミッタ・ベース共用層6にトンネル・バリヤ層5を介し電子が注入されてコレクタ層8に到達する。即ち、コレクタ層8に電流が流れ込み、コレクタ電極12には負の出力が現れ、コレクタ電極9は0電位となる。尚、 ϕ はホット・エレクトロンを示している。

第6図 (A) 及び (B) 参照

この図は、エミッタ・ベース共用層4及び6に「 $6 < 4 < 0$ 」の状態で信号が入力された場合を

表し、この状態では、エミッタ・ベース共用層 6 がエミッタ、エミッタ・ベース共用層 4 がベースの役割を果たし、矢印で指示してあるように、エミッタ・ベース共用層 6 からエミッタ・ベース共用層 4 にトンネル・バリア層 5 を介し電子が注入されてコレクタ層 2 に到達する。即ち、コレクタ層 2 に電流が流れ込み、コレクタ電極 9 には負の出力が現れ、コレクタ電極 1 2 は 0 電位となる。

次に見られる表は前記動作を纏めて表した論理表である。

	2	8
$4 = 6$	0	0
$4 < 6$	0	負
$4 > 6$	負	0

(発明の効果)

本発明に依るホット・エレクトロン・トランジスタでは、トンネル・バリア層を挟むように対向して形成されたエミッタ・ベース共用層と、前記トンネル・バリア層を挟むそれ等エミッタ・ベ-

ース共用層をコレクタ・バリア層を介して挟むように対向して形成されたコレクタ層とを備えた構成を採っている。

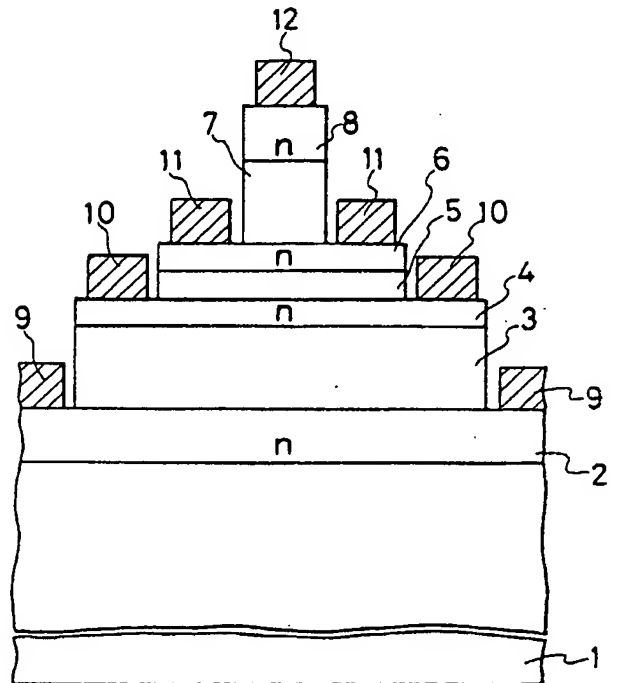
このような構成を有していることから、二つあるエミッタ・ベース共用層のうち、或る時には、何れか一方をエミッタとし、且つ、他方をベースとして動作させ、また、或る時には、前記一方をベースとし、且つ、他方をエミッタとして動作させることが可能であり、例えば従来は 3 個のトランジスタを必要としていたコンパレータを僅か 1 個のトランジスタで構成することが可能となるから、電子回路の高密度化、高集積化に極めて有効であり、また、ホット・エレクトロン・トランジスタ本来の高速性も享受することができる。

4 図面の簡単な説明

第 1 図は本発明一実施例の要部切断側面図、第 2 図は基板上に半導体層を成長させた状態を示す要部切断側面図、第 3 図は本発明一実施例の熱平衡状態に於けるエネルギー・バンド・ダイアグラム、第 4 図乃至第 6 図は本発明一実施例の動作を説明

する為の図であって何れも (A) がエネルギー・バンド・ダイアグラム、(B) は等価回路図をそれぞれ表している。

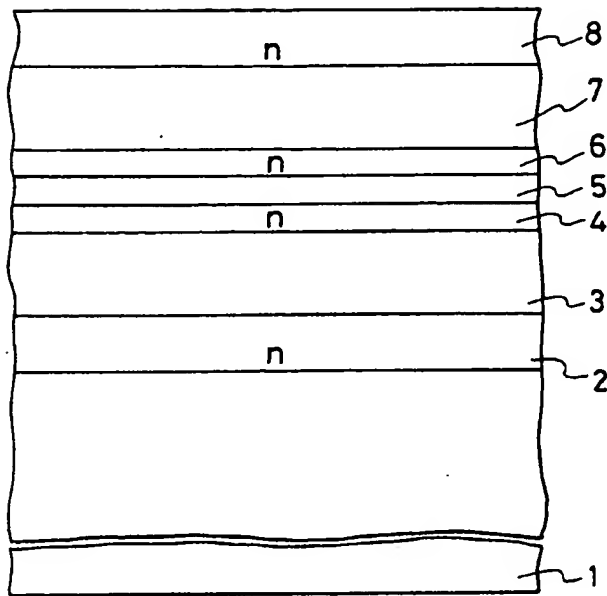
図に於いて、1 は半絶縁性 GaAs 基板、2 は n 型 GaAs コレクタ層、3 は Al_{0.3}Ga_{0.7}As コレクタ・バリア層、4 は n 型 GaAs エミッタ・ベース共用層、5 は AlGaAs トンネル・バリア層、6 は n 型 GaAs エミッタ・ベース共用層、7 は Al_{0.3}Ga_{0.7}As コレクタ・バリア層、8 は n 型 GaAs コレクタ層、9 はコレクタ電極、10 及び 11 はエミッタ・ベース共用電極、12 はコレクタ電極をそれぞれ示している。



本発明一実施例の要部切断側面図

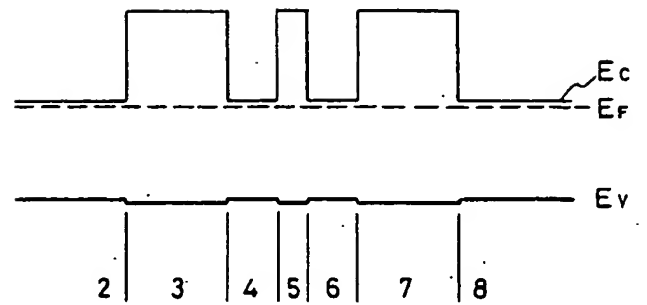
第 1 図

特許出願人 富士通株式会社
 代理人弁理士 柏谷昭司
 代理人弁理士 渡邊弘一



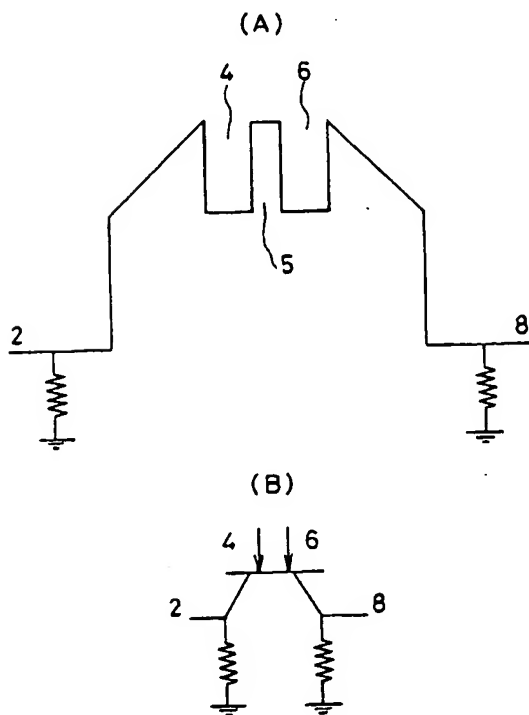
本発明一実施例の製造工程を説明する
為の要部切断側面図

第 2 図



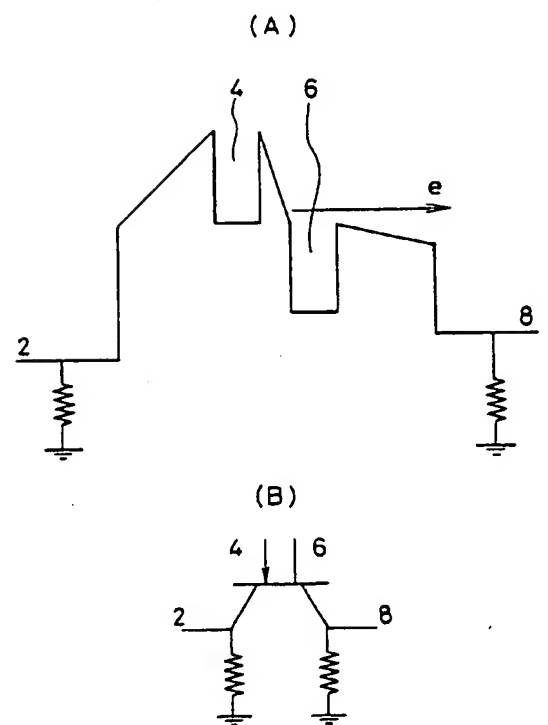
本発明一実施例のエネルギー・バンド・ダイヤグラム

第 3 図



本発明一実施例の動作を説明する
エネルギー・バンド・ダイヤグラム及び等価回路図

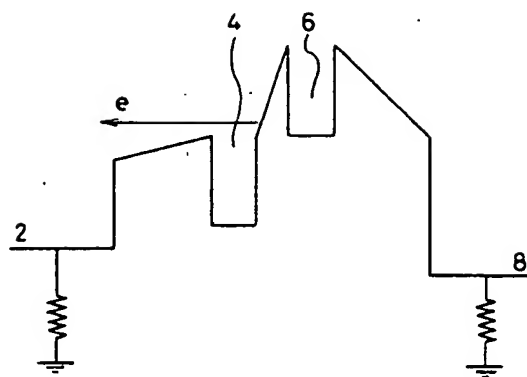
第 4 図



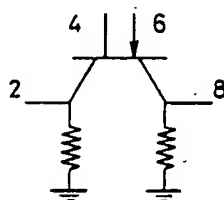
本発明一実施例の動作を説明する
エネルギー・バンド・ダイヤグラム及び等価回路図

第 5 図

(A)



(B)



本発明一実施例の動作を説明する
エネルギー・バンド・ダイヤグラム及び等価回路図

第 6 図